

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-063859

(43)Date of publication of application : 05.03.1990

(51)Int.Cl.

B41J 2/52

G06F 15/68

H04N 1/40

(21)Application number : 63-216925

(71)Applicant : CANON INC

(22)Date of filing : 31.08.1988

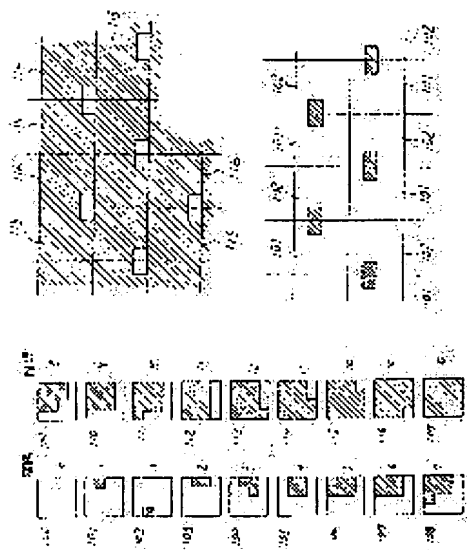
(72)Inventor : YOSHIOKA KIYOHARU

## (54) HALFTONE PROCESSOR

### (57)Abstract:

PURPOSE: To express a fine gradation by forming a dot outputted in a first pattern and a dot outputted in a second pattern continuously or noncontinuously with respect to a predetermined density level.

CONSTITUTION: Multivalued information for one pixel is outputted by being developed to a  $4 \times 4$  matrix. At this time, data of 16 gradation steps from a CCD 1 is outputted in such a manner as that; with gradation data 2 a pattern 103 is outputted for all matrix code data, but with gradation data 1 a pattern 101 is outputted for matrix code data '00' or '11' and a pattern 102 is outputted for '01' or '10'. Namely, the continuous gradation data 1 results in the dot pattern 101 and 102 adjacently disposed to combine two dots. In the case of gradation data 14, dot patterns 115 and 116 are adjacently disposed, which results in an open character of two dots. In this manner, a stable printing or open character generation is performed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A)

平2-63859

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月5日

B 41 J 2/52  
G 06 F 15/68  
H 04 N 1/40

3 2 0 A  
B

8419-5B  
6940-5C  
7612-2C

B 41 J 3/00 A  
審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 中間調処理装置

⑯ 特 願 昭63-216925

⑰ 出 願 昭63(1988)8月31日

⑱ 発 明 者 吉 岡 清 春 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
⑳ 代 理 人 弁理士 丸 島 儀一

明 細 書

1. 発明の名称

中間調処理装置

2. 特許請求の範囲

(1) 入力した画像信号の濃度レベルに基づいてマトリクス内のドット数を増減することにより中間調を再現する中間調処理装置において、所定の濃度レベルに対して少なくとも2通りのドットパターンを設け、

第1のパターンで出力されるドットと第2のパターンで出力されるドットが連続又は非連続となる様に前記第1、第2のパターンを構成したことを特徴とする中間調処理装置。

(2) 前記所定の濃度レベルは低濃度若しくは高濃度であることを特徴とする特許請求の範囲第(1)項記載の中間調処理装置。

(1) 項記載の中間調処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は入力した画像信号の濃度レベルに基づいてマトリクス内のドット数を増減することによ

り中間調を再現する中間調処理装置に関する。

〔従来の技術〕

従来よりプリンタで表現できる濃度が2値、すなわちドットを打つか打たないかしかない場合、濃度階調を表現する方法として面積階調が用いられている。面積階調とは所定面積内に打ち込むドット数を変えることにより、階調表現するもので、代表的には、濃度パターン法やディザ法が挙げられる。濃度パターン法は入力画像1画素のデータを例えば4×4ドットで表現する方法である。ディザ法は例えば入力画像の4×4画素のデータを4×4個の閾値マトリクスを用い、2値化することにより、階調性に対応した4×4のドットパターンを得るものである。この閾値パターンとしては、ベイヤ型、うずまき型等種々ある。

前述した濃度パターン法或いはディザ法で4×4マトリクスにより階調を表現する場合表現できる階調数は理想的には16階調である。

〔発明が解決しようとする問題点〕

しかしながら、前記濃度パターン法或いはディ

ザ法により処理された画像をドット密度の高いプリンタを用いて記録する場合、マトリクス内のドットが1つしかない様なパターンの場合、1ドットが小さいため印字されないといった欠点がある。つまり、白に近い入力画像を良好に再現できなかった。又、同様にマトリクス内のドットのうち1ドットだけ抜けている様なパターンの場合、まわりのドットにつぶされて、まっ黒になってしまい、ベタ黒に近い濃い入力画像を良好に再現できなかった。

#### 〔問題点を解決するための手段・作用〕

本発明は上述従来技術の欠点を除去することを目的とし、入力した画像信号の濃度レベルに基づいてマトリクス内のドット数を増減することにより中間調を再現する中間調処理装置において、所定の濃度レベルに対して少なくとも2通りのドットパターンを設け、

第1のパターンで出力されるドットと第2のパターンで出力されるドットが連続又は非連続となる様に前記第1、第2のパターンを構成したこと

をデジタル演算処理する補正回路、5は補正回路4で補正された階調（濃度）を表わす4ビットのデジタルデータをドット展開するためのROMであり、詳細には、4ビットのデジタルデータを後述する列カウンタ9からの信号SRと行カウンタ10からの信号SGとに基づき、出力するドットパターンを決定する。6はROM5でドット展開されたデータを一時格納するバッファメモリである。7はバッファメモリ6に一時格納されたデータに応じて記録紙上に像を形成する2値プリンタで、例えばインクリボンを用いる熱転写プリンタ、レーザビームプリンタ、インクジェットプリンタである。8はCCD1に原稿の読取りのための基準となるパルスが発生するパルス発振器でCCD1に対し画素クロックφ及びラインデータの先頭を示すライン先頭信号SHを送出する。9はパルス発振器8からの画素クロックφに同期して0、1の信号SRを交互に出力する列カウンタであり、ライン先頭信号SHによりリセットされる。

を特徴とする中間調処理装置を提供するものである。

これによれば、所定の濃度レベルでは、少なくとも2通りのドットパターンを設け、第1のパターンと第2のパターンにより出力されるドットが連続又は非連続となる様第1、第2のパターン構成するので微妙な階調を表現することが可能となる。

#### 〔実施例〕

以下、図面を参照し本発明の一実施例を詳細に説明する。

第1図は本発明の一実施例である画像処理装置のブロック図である。

第1図において1は原稿を読取り画像信号を発生するCCD、2はCCD1によって読取られたアナログ画像信号を増幅するアンプ、3はアンプ2によって増幅されたアナログ画像信号を4ビットのデジタルデータに変換するA/D変換器、4はA/D変換器3から送られてきた4ビットのデジタルデータに対し、シェーディング補正等の補正

10はパルス発振器8からのライン先頭信号に同期して0、1の信号SGを出力する行カウンタである。

上記構成における動作を以下説明する。

第2図はパルス発振器8から出力される画素クロックφ、ライン先頭信号SH、列カウンタ9から出力される信号SR及び行カウンタ10から出力される信号SGのタイミングチャートである。

列カウンタ9は画素クロックφの1画素毎に0、1の信号SRを出力し、行カウンタ10は、ライン先頭信号SHに応じて1ライン毎に0、1の信号を出力する。

ROM5は、補正回路4から送られてくる4ビットのデジタルデータと信号SR、信号SGの4ビットのデータに基づき出力するドットパターンを選択する。

つまり、CCD1からのデータについて、行と列が偶数番目か奇数番目かによって00、01、10、11の2ビット4種の行列コードデータが付加され、階調データ4ビットと合わせて8ビッ

トのデータがROMのアドレスを決定する。ROM 5は、1画素の多値情報を4×4のドットマトリクスに展開して出力するが、ここでは、うすまき型のドットパターンを基本にしており、第3図にパターンナンバーとパターンとの関係及び階調を示す。

また、CCD 1からの16階調のデータは0を白側に、<sup>16</sup>を黒側に対応させている。第4図はROM 5の変換テーブルを示した図である。例えば階調データが2のときは、行列コードデータがいずれの場合もパターン103を出力するが、階調データが1のときは、行列コードデータが「00 (SR=0、SG=0)」あるいは「11 (SR=1、SG=1)」のときパターン101を出力し、行列コードデータが「01 (SR=0、SG=1)」あるいは「10 (SR=1、SG=0)」のときパターン102を出力する。すなわち、階調データ1が連続すると、第5図に示すようにドットパターン101と102が隣り合せになり、各々のドットが連なり、2ドットの

ーンを格納するROMのメモリ容量を削減することができる。

#### (他の実施例)

前記実施例においては、2ドットのかたまりを作るようドットパターンを構成したが、3ドットのかたまりあるいは、4マトリクスの集合中心において2×2の4ドットのかたまりを作るよう構成してもよく、プリンタの印字能力に合せて、適宜変更可能である。

また、マトリクスの集合単位を4×4に限定するものではない。

尚、本実施例ではCCD 1によって読取られた1画素のデータを4×4のドットパターンで出力す階調パターン法を例に説明したが、本発明は読取られた4×4画素のデータを4×4のドットパターンで出力するディザ法を用いても同様に実現できる。この場合、ディザ法における閾値マトリクスの<sup>他</sup>同値配列を低濃度部ではドットが連続する様に又、高濃度部ではドットが非連続となる(ドットが連続して抜ける)様に切換えればよい。

かたまりとなる。1ドット単体では印字状態が非常に不安定で記録紙上にほとんどインクがのらないが、2ドットのかたまりにすることで安定して印字が行なわれる。

また、第6図に階調データ14の場合の印字状態を示す。ドットパターン115と116が隣り合せになるので、互いのドットの抜けた部分が連なり、2ドットの白ヌケになる。1ドットの抜けの場合回りのドットの広がりによりつぶれてしまうが、2ドット抜けであるので安定して白ヌケが形成され、ベタ塗り状態よりもわずかに薄い濃度階調が表現される。

以上説明したように、前述の実施例によれば隣り合うマトリクスとの間でドットのかたまり、あるいはドット抜けのかたまりを作るので1マトリクスでは、ドットが小さすぎるために不安定であったごく薄い階調あるいは、ベタに近い微妙な階調を安定して再現できる。しかもこの場合低濃度と高濃度のドットパターンにだけ、それぞれ2種類のドットパターンを設けたので、ドットパタ

又、本実施例では入力画像データが1色の場合を説明したが、本実施例の第1図の構成を複数色分持たせることで本発明はカラー画像にも適用することができる。

#### 【発明の効果】

以上説明した如く本発明によれば、入力画像の所定の濃度レベルでは、少なくとも2通りのドットパターンを設け、第1のパターンと第2のパターンにより出力されるドットが連続又は非連続となる様第1、第2のパターン構成するので微妙な階調を表現することが可能となる。

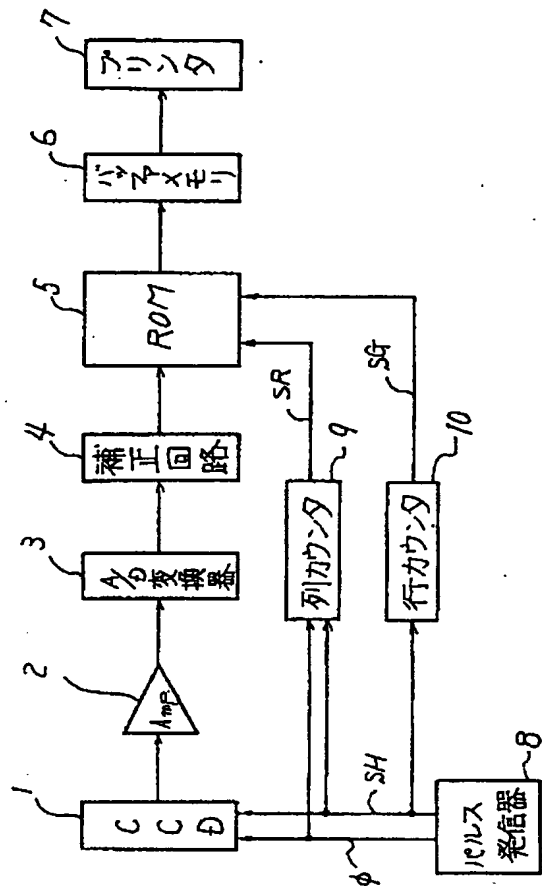
#### 4. 図面の簡単な説明

第1図は本発明の一実施例である中間調処理装置のブロック図、第2図はパルス発振器、行カウンタ、及び列カウンタより出力される信号のタイミングチャート図、第3図は本実施例における階調とドットパターンの一例を示した図、第4図はROMに格納されているテーブルを示した図、第5図、第6図は本実施例における印字例を示した図である。

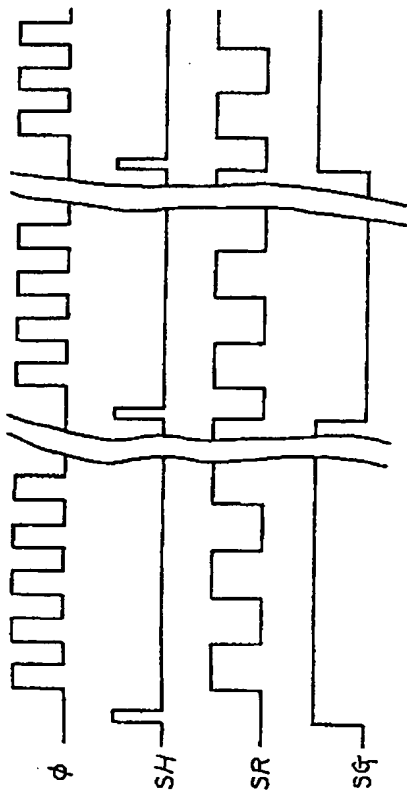
1→CCD、2→アンプ、3→A/D変換器、  
4→補正回路、5→ROM、7→プリンタ、8→  
パルス発振器、9→列カウンタ、10→行カウンタ。

出願人 キヤノン株式会社

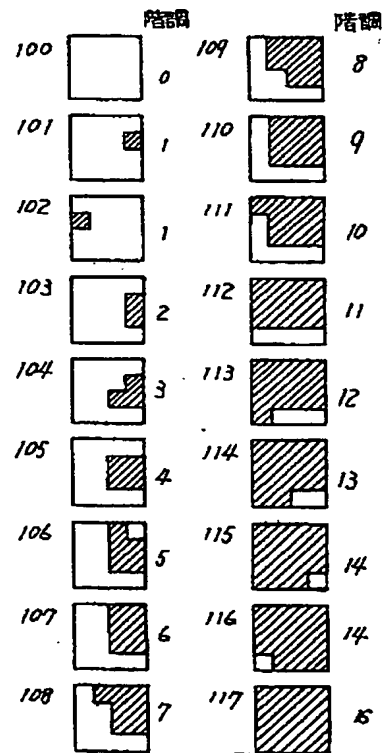
代理人 丸 島 徹 一



第1図



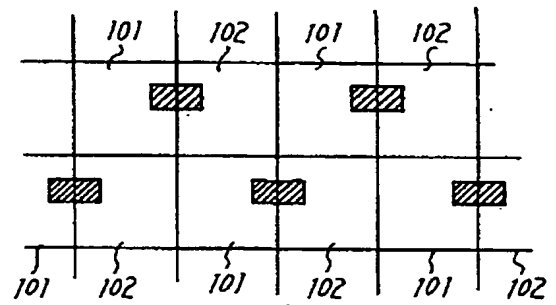
第2図



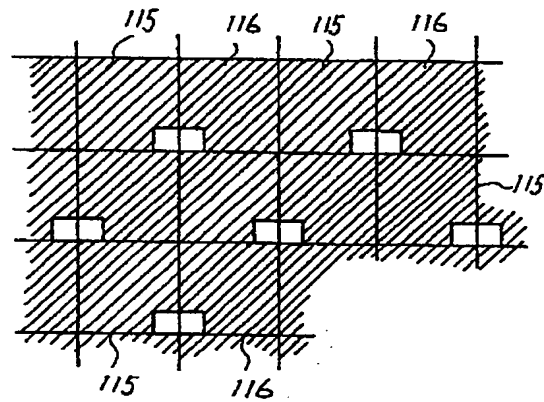
第3図

階調データ 4ビット	行列コードデータ			
	SR SR	SR SR	SR SR	SR SR
	00	11	01	10
0	100		100	
1	101		102	
2	103		103	
3	104		104	
4	105		105	
5	106		106	
6	107		107	
7	108		108	
8	109		109	
9	110		110	
10	111		111	
11	112		112	
12	113		113	
13	114		114	
14	115		116	
15	117		117	

第4図



第5図



第6図